

(19) 世界知的所有権機関  
国際事務局



55 3578

(43) 国際公開日  
2004 年 10 月 28 日 (28.10.2004)

PCT

(10) 国際公開番号  
WO 2004/093089 A1

- (51) 国際特許分類<sup>7</sup>: G11C 11/406
- (21) 国際出願番号: PCT/JP2004/005275
- (22) 国際出願日: 2004 年 4 月 13 日 (13.04.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2003-110319 2003 年 4 月 15 日 (15.04.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): インターナショナル・ビジネス・マシーンズ・コーポレーション (INTERNATIONAL BUSINESS MACHINES

CORPORATION) [US/US]; 10504 ニューヨーク州アーモンク ニュー オーチャード ロード York (US).

(72) 発明者; および

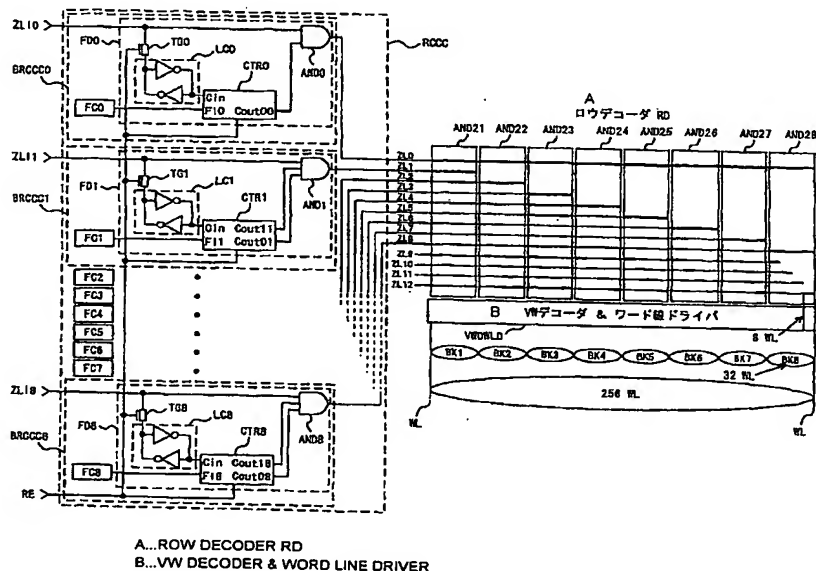
(75) 発明者/出願人 (米国についてのみ): 砂永 登志男 (SUNAGA, Toshio) [JP/JP]; 〒5202392 滋賀県野洲郡野洲町大字市三宅800番地 日本74・ヒール株式会社野洲事業所内 Shiga (JP). 細川 浩二 (HOSOKAWA, Kohji) [JP/JP]; 〒5202392 滋賀県野洲郡野洲町大字市三宅800番地 日本74・ヒール株式会社野洲事業所内 Shiga (JP). 宮武 久忠 (MIYATAKE, Hisatada) [JP/JP]; 〒5202392 滋賀県野洲郡野洲町大字市三宅800番地 日本74・ヒール株式会社野洲事業所内 Shiga (JP).

(74) 代理人: 坂口 博, 外 (SAKAGUCHI, Hiroshi et al.); 〒2428502 神奈川県大和市下鶴間1623番地14 日本74・ヒール株式会社大和事業所内 Kanagawa (JP).

[続葉有]

(54) Title: DYNAMIC SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: ダイナミック型半導体記憶装置



A...ROW DECODER RD  
B...VW DECODER & WORD LINE DRIVER

(57) Abstract: It is possible to realize a DRAM of a simple circuit structure capable of effectively reducing the refresh current by setting the refresh cycle by a small step. A memory array is divided into 64 sub-arrays, each of which is further divided into eight blocks. A refresh cycle control circuit (RCCC) includes: a fuse circuit (FC0) for setting 1 or 1/2 division ratio; a divider (FD0) for dividing a pre-decode signal (ZLI0) with the division ratio which has been set; fuse circuits (FC1 to FC8) for setting 1 or 1/4 division ratio; and dividers (FD1 to FD8) for dividing pre-decode signals (ZLI1 to ZLI8) with the set division ratio. The refresh cycle control circuit (RCCC) can set the 64 or 128 ms refresh cycle for the 64 sub-arrays and the 64 or 256 ms refresh cycle for the 512 blocks.

(57) 要約: リフレッシュ周期をきめ細かく設定することによりリフレッシュ電流を効果的に低減することの可能なDRAMを簡単な回路構成で実現する。メモリアレイは64個のサブアレイに分割され、各サブアレイはさらに

[続葉有]



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

8個のブロックに分割される。リフレッシュサイクル制御回路RCCCは、1又は1/2の分周比を設定するヒューズ回路FC0と、その設定された分周比でプリデコード信号ZL10を分周する分周器FD0と、1又は1/4の分周比を設定するヒューズ回路FC1~FC8と、その設定された分周比でプリデコード信号ZL11~ZL18を分周する分周器FD1~FD8とを備える。リフレッシュサイクル制御回路RCCCは、64個のサブアレイ用に64又は128msのリフレッシュ周期を、512個のブロック用に64又は256msのリフレッシュ周期を設定することができる。

-1-

## 明細書

## ダイナミック型半導体記憶装置

## 技術分野

5       本発明は、ダイナミック型半導体記憶装置に関し、さらに詳しくは、リフレッシュの必要なDRAM (Dynamic Random Access Memory) に関する。

## 背景技術

10       携帯電話、携帯情報端末 (PDA ; Personal Digital Assistant) など、電池で駆動される機器では、そこで使用される半導体装置の低消費電力化が最も重要な課題である。従来、半導体メモリとしてはSRAM (Static Random Access Memory) が広く使用されてきた。SRAMのメモリセルは6つのCMOS (Complementary Metal Oxide Semiconductor) トランジスタからなり、わずかな消費電流でデータを保持できるから  
15       である。しかし、SRAMのメモリセルはDRAMのメモリセルよりも20倍以上大きい。また、近年必要なメモリ容量は増大してきており、現在の0.2~0.13 $\mu$ m程度の配線技術で32Mビットや64MビットなどのSRAMを製造すると、チップサイズが大きくなりすぎる。このようにSRAMはDRAMよりも面積効率が悪いが、この面積効率  
20       の悪さは微細化によってさらに悪化する。このため、SRAMをDRAMで置き換えた製品が出始めている。

      しかし、DRAMはリフレッシュを必要とするため、データを保持した状態でのスタンバイ電流はSRAMよりもかなり大きい。低消費電力のSRAMを省スペースのDRAMで置き換えるためには、リフレッシュ電流をできる限り小さくする必要がある。  
25

      このような課題を解決することを目的として、現在、大容量のDRAM

Mと小容量のSRAMとを組み合わせたマルチチップパッケージが提供されている。SRAMはDRAMのバックアップ用で、DRAMのデータのうち保持の必要なデータのみがSRAMに格納される。しかし、この製品でも十分な低消費電力化は得られていない。

- 5       DRAMの規格では一般に、64msなどのデータ保持時間が規定されている。メモリコントローラは規定されたデータ保持時間以内の周期で各メモリセルをリフレッシュしなければならない。DRAMの製造メーカーはこの規格を満足するようにいくらか余裕を持ったデータ保持時間でテスト（以下「リテンションテスト」という）を行い、合格品を出荷
- 10       している。このリテンションテストに合格するぎりぎりの短いデータ保持時間しか持たないメモリセルの総数はそれほど多くない。しかもデータ保持時間の短いメモリセルのほとんどは何らかの欠陥と関係しているため、冗長メモリセルと置き換えられ、実際には使用されない。したがって、実際に使用されるデータ保持時間の短いメモリセルの数はDRAM
- 15       M全体のメモリセルの数と比べれば非常に少ない。

実際にデータ保持時間の実力値を計測してみると、どのメーカーのDRAMでも大多数は85℃でも軽く秒のオーダーを超えるほどに長い。リテンションテストでは64msに余裕を持たせ、たとえば100msを基準値としているが、この基準値を超えられないメモリセルは数十ビット

20       程度しか存在しない。データ保持時間の分布をグラフにすると、およそ99%のメモリセルは1秒を超えるデータ保持時間を持ち、ごく少数のメモリセルがデータ保持時間の短い裾野に分布している。

従来のDRAMでは、規格に従い64msなど一律の周期で全メモリセルをリフレッシュしている。すなわち、全メモリセルの中で最短のデータ保持時間をリフレッシュ周期として採用している。上述したデータ

25       保持時間の実力分布を考慮すると、これは大多数のメモリセルを必要以

上に頻繁にリフレッシュしていることを意味し、かなりの電力を無駄に消費している。したがって理想的には、各メモリセルのデータ保持時間の実力に応じた周期でリフレッシュを行えば、数十ビットのメモリセルのみを最短の64msでリフレッシュし、その他の大多数のメモリセルをそれよりもはるかに長い周期でリフレッシュすればよく、膨大な消費電力を節約することができる。しかし、メモリセルごとに実力値に応じたリフレッシュ周期を設定することは膨大かつ複雑な回路を必要とし、現実的には不可能である。

このような課題を解決することを目的として、メモリセルをグループに分け、グループごとに最適なリフレッシュ周期を設定するようにした発明が提案されている。たとえば特許文献1（日本の特開平4-34794号公報）には、ワード線ごとに最適なリフレッシュ周期を設定するようにした発明が開示されている。しかしこの発明では、多数あるワード線にそれぞれ異なるリフレッシュ周期を設定するため、膨大かつ複雑な回路が必要となる。また、特許文献2（日本の特開平5-109268号公報）には、サブアレイごとに最適なリフレッシュ周期を設定するようにした発明が開示されている。また、特許文献3（日本の特開平5-266657号公報）には、メモリセルアレイごとに最適なリフレッシュ周期を設定するようにした発明が開示されている。しかしこれらの発明では、アレイ数が少ないため、データ保持時間の実力値が短いメモリセルが全アレイに分散して存在している場合には十分な効果を得ることができない。

本発明の目的は、リフレッシュ電流を低減したダイナミック型半導体記憶装置を提供することである。

本発明のもう1つの目的は、リフレッシュ周期をきめ細かく設定することの可能なダイナミック型半導体記憶装置を提供することである。

-4-

本発明のさらにもう1つ目的は、上記目的を簡単な回路構成で実現したダイナミック型半導体記憶装置を提供することである。

#### 発明の開示

5       本発明によるダイナミック型半導体記憶装置は、複数のメモリセルを含むメモリセルアレイを備える。メモリセルアレイは複数のブロックに分割される。ダイナミック型半導体記憶装置はさらに、ブロックデコーダと、リフレッシュサイクル制御回路と、ロウデコーダとを備える。ブロックデコーダは、ロウアドレス信号をデコードしてブロック選択信号を発生する。リフレッシュサイクル制御回路は、ブロック選択信号を予め設定された分周比で分周してブロック用にリフレッシュ周期を設定する。ロウデコーダは、ブロック選択信号に応答してブロックを選択する。

15       このダイナミック型半導体記憶装置では、ブロック選択信号が予め設定された分周比で分周される。分周比が1の場合、ブロック選択信号は分周されないで、対応するブロックは通常の周期で選択される。たとえば分周比が $1/2$ の場合、ブロック選択信号は $1/2$ で分周されるので、対応するブロックは通常の $1/2$ の周期で選択される。したがって、このブロックのリフレッシュ周期は通常の $1/2$ となり、リフレッシュ電流が低減される。ここで、分周比は特に $1/2$ に限定されることなく、 $1/4$ 、 $1/8$ など、任意の比を採用することができる。しかも、リフレッシュサイクル制御回路を追加するだけでリフレッシュ電流が低減されるので、本発明によるダイナミック型半導体記憶装置は簡単な回路構成で実現することができる。

25       本発明によるもう1つのダイナミック型半導体記憶装置は、複数のメモリセルを含むメモリセルアレイを備える。メモリセルアレイは複数の

第1階層ブロックに分割される。第1階層ブロックの各々はさらに複数の第2階層ブロックに分割される。ダイナミック型半導体記憶装置はさらに、リフレッシュ周期設定手段を備える。リフレッシュ周期設定手段は、第1階層ブロック用に第1のリフレッシュ周期を設定し、第2階層  
5 ブロック用に第2のリフレッシュ周期を設定する。

このダイナミック型半導体記憶装置では、メモリセルアレイが階層的にブロック化され、リフレッシュ周期はブロック単位で階層的に設定される。したがって、リフレッシュ周期をきめ細かく設定することができる。その結果、メモリセルアレイ全体のリフレッシュ電流はさらに低減  
10 される。

#### 図面の簡単な説明

図1は、本発明の第1の実施の形態によるDRAMの全体構成を示す。

15 図2は、図1中のロウデコーダ及びリフレッシュサイクルサイクル制御回路を含む周辺回路の構成を示す。

図3は、図2中のブロックリフレッシュサイクル制御回路の構成を示す。

図4は、図3中のヒューズ回路の構成を示す。

20 図5は、図1～図4に示したDRAMのバーストリフレッシュ動作のタイミングを示す。

図6は、本発明の第2の実施の形態によるDRAMの全体構成を示す。

図7は、図6中の1個のサブアレイ及びその周辺回路の構成を示す。

25 図8は、図7中のリフレッシュサイクル制御回路、ロウデコーダ、仮想ワード線デコーダ及びワード線ドライバの構成を示す。

図 9 は、図 8 に示したリフレッシュサイクル制御回路において全ヒューズ回路が切断されていない場合の動作のタイミングを示す。

図 10 は、図 8 に示したリフレッシュサイクル制御回路においてヒューズ回路 F C 0 及び F C 3 が切断された場合の動作のタイミングを示す。

5

図 11 は、本発明の第 3 の実施の形態による D R A M におけるリフレッシュサイクル制御回路、ロウデコーダ、仮想ワード線デコーダ及びワード線ドライバの構成を示す。

図 12 は、図 11 に示したリフレッシュサイクル制御回路においてヒューズ回路 F C 0 及び F C 3 が切断された場合の動作のタイミングを示す。

10

図 13 は、本発明の第 4 の実施の形態による D R A M におけるリフレッシュサイクル制御回路、ロウデコーダ、仮想ワード線デコーダ及びワード線ドライバの構成を示す。

15

#### 発明を実施するための最良の形態

以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明を援用する。

#### 〔第 1 の実施の形態〕

図 1 を参照して、本発明の第 1 の実施の形態による D R A M は、32 M ビットのメモリセルアレイ M A と、ロウデコーダ R D と、リフレッシュサイクル制御回路 R C C C とを備える。メモリセルアレイ M A は 4 個のサブアレイ S U B 1 ~ S U B 4 に分割される。サブアレイ S U B 1 ~ S U B 4 の各々は、行及び列に配置された 8 M (= 8 × 2<sup>20</sup>) 個のメモリセル（図示せず）と、行に配置された 1 K (= 2<sup>10</sup>) 個のワード線 W L と、列に配置された 8 K (= 8 × 2<sup>10</sup>) 個のビット線対 B L と、

20

25



ビット線対BLに対応して設けられた8K個のセンスアンプSAとを備える。

5 サブアレイSUB1～SUB4の各々はさらに4つの領域#1～#4に分割される。領域#1～#4の各々は256個のワード線WLを含む。8K個のセンスアンプSAは領域#1及び#2の間と領域#3及び#4の間とに4K個ずつ配置される。メモリセルアレイMA全体はさらに128個のブロックBKに分割される。各ブロックBKは32個のワード線WLを含む。

10 128個のブロックBKに対応し、ロウデコーダRDも128個のブロックロウデコーダBRDに分割される。各ブロックロウデコーダBRDは対応するブロックBK内の32個のワード線WLの中から1個を選択する。リフレッシュサイクル制御回路RCCCは、128個のブロックBKに適したリフレッシュ周期T1～T128をそれぞれ設定する。

15 図2を参照して、このDRAMはさらに、アドレスレシーバADRと、ロウアドレスカウンタRACと、セクタSELと、プリデコーダPDEC1及びPDEC2と、ブロックデコーダBDECとを備える。本実施の形態の特徴はリフレッシュサイクル制御回路RCCCを設けた点であり、それ以外の構成は従来と同じある。

20 アドレスレシーバADRは、入力された外部ロウアドレス信号EADを受信し、セクタSELに与える。ロウアドレスカウンタRACは、内部ロウアドレス信号IADを内部的に発生し、セクタSELに与える。メモリセルアレイMA全体にある4Kのワード線WLの中から1個のワード線WLを特定しなければならないので、外部ロウアドレス信号EAD及び内部ロウアドレス信号IADはともに12ビットである。

25 セクタSELは、リフレッシュイネーブル信号REに応答して、アドレスレシーバADRからの外部ロウアドレス信号EAD又はロウアド

レスカウンタRACからの内部ロウアドレス信号IADを選択する。リフレッシュイネーブル信号REは通常アクセス時にL（論理ロー）レベルになり、リフレッシュ時にH（論理ハイ）レベルになる。リフレッシュイネーブル信号REがLレベルのとき、セクタSELは外部ロウアドレス信号EADを選択する。リフレッシュイネーブル信号REがHレベルのとき、セクタSELは内部ロウアドレス信号IADを選択する。セクタSELは選択したロウアドレス信号のうち下位2ビット（第1及び第2ビット）をプリデコーダPDEC1に与え、その次の下位3ビット（第3～第5ビット）をプリデコーダPDEC2に与え、上位7ビット（第6～第12ビット）をブロックデコーダBDECに与える。

プリデコーダPDEC1は、2ビットのロウアドレス信号をデコードして4（ $=2^2$ ）ビットのプリデコード信号PD1を発生し、ロウデコーダRDに与える。プリデコーダPDEC2は、3ビットのロウアドレス信号をデコードして8（ $=2^3$ ）ビットのプリデコード信号PD2を発生し、ロウデコーダRDに与える。ブロックデコーダBDECは、7ビットのロウアドレス信号をデコードして128（ $=2^7$ ）ビットのブロック選択信号BSIを発生し、リフレッシュサイクル制御回路RCCCに与える。

リフレッシュサイクル制御回路RCCCは、ブロック選択信号BSIを予め定められた分周比で分周してブロックBK用にリフレッシュ周期を設定する。具体的には、リフレッシュイネーブル信号REがLレベルのとき、リフレッシュサイクル制御回路RCCCは、128ビットのブロック選択信号BSIをそのままロウデコーダRDに与える。このとき、換言すれば、リフレッシュサイクル制御回路RCCCはブロック選択信号BSIを分周比1で分周している。一方、リフレッシュイネーブル信号REがHレベルのとき、リフレッシュサイクル制御回路RCCCは、

128ビットのブロック選択信号BSIをそれぞれ予め設定された分周比（たとえば1/2、1/4）で分周し、ロウデコーダRDに与える。

リフレッシュサイクル制御回路RCCCは、128ビットのブロック選択信号BSIに対応する128個のブロックリフレッシュサイクル制御回路BRCCCに分割される。

リフレッシュイネーブル信号REがLレベルのとき、ブロックリフレッシュサイクル制御回路BRCCCの各々は、対応する1ビットのブロック選択信号BSIをそのまま対応するブロックロウデコーダBRDに与える。リフレッシュイネーブル信号REがHレベルのとき、ブロックリフレッシュサイクル制御回路BRCCCの各々は、対応する1ビットのブロック選択信号BSIを予め設定された分周比で分周し、対応するブロックロウデコーダBRDに与える。

以下、リフレッシュサイクル制御回路RCCCに入力されるブロック選択信号を「入力ブロック選択信号BSI」といい、リフレッシュサイクル制御回路RCCCから出力されるブロック選択信号を「出力ブロック選択信号BSO」という。リフレッシュサイクル制御回路RCCCの具体的な回路構成は後述する。

ロウデコーダRDは、128ビットの出力ブロック選択信号BSOに  
応答して128個のブロックBKの中から1個を選択し、さらにプリデ  
コード信号PD1及びPD2に  
応答して、選択されたブロックBK内の  
32個のワード線WLの中から1個を選択して活性化する。

具体的には、ロウデコーダRDでは、128ビットの出力ブロック選  
択信号BSOに  
応答して128個のブロックロウデコーダBRDの中  
から1個が選択され、活性化される。活性化されたブロックロウデコーダ  
BRDは8ビットのプリデコード信号PD2に  
応答して対応するブロッ  
クBK内の32個のワード線WLの中から4個を選択し、さらに4ビッ

トのプリデコード信号PD 1に応答して4個のワード線WLの中から1個を選択する。

図3は、1個のブロックロウデコーダBRDに対応するブロックリフレッシュサイクル制御回路BRCCCの構成を示す。図3を参照して、  
5 ブロックリフレッシュサイクル制御回路BRCCCは、所望の分周比を設定するヒューズ回路FCと、ヒューズ回路FCに設定された分周比でブロック選択信号BSIを分周する分周器FDとを備える。リフレッシュサイクル制御回路BRCCC全体は、図3に示したブロックリフレッシュサイクル制御回路BRCCCを128個備える。

10 図4を参照して、ヒューズ回路FCは、プルアップ抵抗RA及びRBと、ポリシリコンなどからなるヒューズFA及びFBとを備える。ヒューズFA及びFBがともに切断されていない場合、ヒューズ信号FAI及びFBIはそれぞれヒューズFA及びFBによりともにLレベルにされる。ヒューズFAのみが切断された場合、ヒューズ信号FAIのみが  
15 プルアップ抵抗RAによりHレベルにされる。ヒューズFA及びFBがともに切断された場合、ヒューズ信号FAI及びFBIはそれぞれプルアップ抵抗RA及びRBによりともにHレベルにされる。

ヒューズ回路FCはプルアップ抵抗RA及びRBとポリシリコンなどからなるヒューズFA及びFBとで構成され、MOSトランジスタなど  
20 を含んでいないため、ロウデコーダRDの上に形成される。したがって、ヒューズ回路FCの追加によるチップ面積の増大を抑えることができる。

再び図3を参照して、分周器FDは、転送ゲートTGと、ラッチ回路LCと、カウンタCTRと、AND（論理積）ゲートANDとを備える。

25 転送ゲートTGは、リフレッシュイネーブル信号REがHレベルのと

きオンになり、Lレベルのときオフになる。ラッチ回路LCは、相互に接続されたインバータIV1及びIV2とからなる。リフレッシュイネーブル信号REがHレベルのとき、転送ゲートTGは入力ブロック選択信号BSIをラッチ回路LCに与える。ラッチ回路LCは入力ブロック  
5 選択信号BSIをラッチし、それを反転したカウンタ入力信号CINをカウンタCTRに与える。

カウンタCTRはカウンタ入力信号CINに応答してカウントアップされ、2ビットのカウンタ出力信号FAO, FBOを出力する。カウンタ出力信号FAOがLSB (Least Significant Bit) で、カウンタ出力  
10 信号FABがMSB (Most Significant Bit) である。

カウンタCTRは、リフレッシュイネーブル信号REがHレベルのとき活性化され、Lレベルのとき非活性化される。ヒューズ信号FAI及びFBIがともにLレベルときも、カウンタCTRは非活性化される。非活性化されたカウンタCTRはカウンタ出力信号FAO及びFBOを  
15 ともにHレベルに固定する。活性化されたカウンタCTRはカウンタ入力信号CINの立ち下がりエッジに응答してカウントアップされる。ヒューズ信号FAIがHレベルで、ヒューズ信号FBIがLレベルのとき、カウンタCTRはMSBのカウンタ出力信号FAOをHレベルに固定し、1ビットカウンタとして機能する。ヒューズ信号FAI及びFBIがと  
20 もにHレベルのとき、カウンタCTRは2ビットカウンタとして機能する。

次に、このDRAMの動作を説明する。

リテンションテスト時にブロックBKごとにデータ保持時間を計測し、256msのリテンションテストを合格したブロックBKについてはヒューズFA及びFBをともに切断する。256msのリテンションテストは不合格になったが、128msのリテンションテストを合格したブ  
25

ロックについてはヒューズF Aのみを切断する。それ以外のブロック、つまり両方のリテンションテストを不合格になったブロックについてはヒューズF A及びF Bともに切断しない。

#### (1) 通常アクセス時

5       通常アクセス時には、リフレッシュイネーブル信号REがLレベルになる。したがって、セクタSELは外部ロウアドレス信号EADを選択する。また、128個の全ブロックBKについて、カウンタCTRはカウンタ出力信号FAO及びFBOとともにHレベルに固定するので、ANDゲートANDは入力ブロック選択信号BSIをそのまま出力ブロック選択信号BSOとしてブロックロウデコーダBRDに与える。したがって、リフレッシュサイクル制御回路RCCCは128ビットの入力  
10       ブロック選択信号BSIをそのまま128ビットの出力ブロック選択信号BSOとしてロウデコーダRDに与える。よって、このDRAMは、リフレッシュサイクル制御回路RCCCを持たない従来のDRAMと同様に動作する。  
15

#### (2) リフレッシュ時

リフレッシュ時には、リフレッシュイネーブル信号REがHレベルになる。したがって、セクタSELは内部ロウアドレス信号IADを選択する。また、リフレッシュサイクル制御回路RCCCはヒューズF A及びF Bの切断状況に応じて異なった機能を発揮する。  
20

以下、バーストリフレッシュを例に挙げ、図5を参照してその動作を説明する。バーストリフレッシュは、4K個の全ワード線WLを順番に活性化して32M個の全メモリセルをリフレッシュするものである。

##### (2. 1) ヒューズF A及びF Bがともに切断されていない場合

25       128個のブロックBKのうちある1個に注目する。この注目したブロックBKに対応するブロックリフレッシュサイクル制御回路BRCC

Cにおいて、ヒューズFA及びFBがともに切断されていない場合、ヒューズ信号FAI及びFBIはともにLレベルになる。そのため、カウンタCTRは非活性化され、カウンタ出力信号FAO及びFBOをともにHレベルに固定する。したがって、ANDゲートANDは入力ブロック選択信号BSIをそのまま出力ブロック選択信号BSO1としてブロックロウデコーダBRDに与える。入力ブロック選択信号BSIは0.5msの間ずっとHレベルになるから、出力ブロック選択信号BSO1も同様に0.5msの間ずっとHレベルになる。ブロックロウデコーダBRDはこの0.5msの間に32個のワード線WLを15.6μsずつ順番に活性化し、注目しているブロックBK内の全メモリセルをリフレッシュする。リフレッシュを完了すると、入力ブロック選択信号BSIはLレベルになる。この入力ブロック選択信号BSIがLレベルの間に、注目しているブロックBK以外の127個のブロックについて、入力ブロック選択信号BSIが0.5msずつHレベルになる。各ブロックに0.5msかかるので、127個のブロックには63.5ms(=0.5ms×127)かかる。その結果、注目しているブロックBKについては、最初のリフレッシュ開始から64ms後に、入力ブロック選択信号BSI及び出力ブロック選択信号BSO1が再びHレベルになり、リフレッシュが再開される。

したがってこの場合、注目しているブロックBK内の全メモリセルは通常通り64msの周期でリフレッシュされる。

## (2.2) ヒューズFAが切断された場合

注目しているブロックBKに対応するブロックリフレッシュサイクル制御回路BRCCCにおいて、ヒューズFAのみが切断された場合、ヒューズ信号FAIはHレベルになり、ヒューズ信号FBIはLレベルになる。そのため、カウンタCTRはMSBのカウンタ出力信号FAOを

Hレベルに固定し、1ビットカウンタとして機能する。一方、Hレベルのリフレッシュイネーブル信号REに応答して転送ゲートTGがオンになっているので、ラッチ回路LCは入力ブロック選択信号BSIを反転したカウンタ入力信号CINをカウンタCTRに与える。カウンタCTRはカウンタ入力信号CINの立ち下がりエッジF1～F5に応じてカウントアップされるため、LSBのカウンタ出力信号FAOはそれに応じて繰り返しL又はHレベルに変化する。カウンタ出力信号FAOがLレベルの間、ANDゲートANDは出力ブロック選択信号BSO2をLレベルに固定する。すなわち、カウンタ出力信号FAOがLレベルの間、Hレベルの入力ブロック選択信号BSIは間引かれ、出力ブロック選択信号BSO2に現れない。よって、出力ブロック選択信号BSO2の周期は入力ブロック選択信号BSIの周期の2倍の128msになる。

したがってこの場合、注目しているブロックBK内の全メモリセルは通常の2倍の128msの周期でリフレッシュされる。

(2. 3) ヒューズFA及びFBがともに切断された場合

注目しているブロックBKに対応するブロックリフレッシュサイクル制御回路BRCCCにおいて、ヒューズFA及びFBがともに切断された場合、ヒューズ信号FAI及びFBIはともにHレベルになる。そのため、カウンタCTRは2ビットカウンタとして機能する。MSBのカウンタ出力信号FAOはLSBのカウンタ出力信号FBOの立ち上がりエッジに応じて繰り返しL又はHレベルに変化する。カウンタ出力信号FAO又はFBOがLレベルの間、ANDゲートANDは出力ブロック選択信号BSO3をLレベルに固定する。すなわち、カウンタ出力信号FAO又はFABがLレベルの間、Hレベルの入力ブロック選択信号BSIは間引かれ、出力ブロック選択信号BSO3に現れない。よって、出力ブロック選択信号BSO3の周期は入力ブロック選択信号BSIの



周期の4倍の256msになる。

したがってこの場合、注目しているブロックBK内の全メモリセルは通常の4倍の256msの周期でリフレッシュされる。

5       なお、カウンタCTRはカウンタ入力信号CINの立ち下がりエッジ  
F1～F5に応じてカウントアップされるが、リフレッシュイネーブル  
信号REがHレベルになってから最初のカウンタ入力信号CINの立ち  
下がりエッジF0に応じてはリセットされ、カウンタ出力信号FAO及  
びFBOはともにHレベルになる。したがって、ヒューズFA又はFB  
10       が切断されていてもいなくても、リフレッシュモードに入ってから最初  
のリフレッシュは安全のために必ず行われる。

15       以上のように本実施の形態によれば、ブロックBKごとにリテンショ  
ンテストを行い、256msのリテンションテストを合格したブロック  
BKについては256msのリフレッシュ周期を設定し、128msの  
リテンションテストを合格したブロックBKについては128msのリ  
フレッシュ周期を設定し、それ以外のブロックBKについては64ms  
20       のリフレッシュ周期を設定する。したがって、256msのリフレッシュ  
周期を設定したブロックBKではリフレッシュ電流は4分の1に低減  
され、128msのリフレッシュ周期を設定したブロックBKではリフ  
レッシュ電流は2分の1に低減される。また、128個のブロックBK  
に適したリフレッシュ周期をそれぞれ設定することができるため、従来  
よりもきめ細かくリフレッシュ周期を設定することができる。しかも従  
来のDRAMに簡単なリフレッシュサイクル制御回路RCCCを追加す  
るだけで、上記効果を得ることができる。

25       上記実施の形態ではブロック数は128個、リフレッシュ周期は64  
msの2倍及び4倍であるが、これらは特に限定されない。たとえばカ  
ウンタCTRを3ビットにすればリフレッシュ周期は8倍、カウンタC

TRを4ビットにすればリフレッシュ周期は16倍になり、リフレッシュ周期の選択が増える。

本実施の形態によれば、リフレッシュ電流  $I_r$  は一般に次の式 (1) で与えられる。

$$5 \quad I_r = I_b \times F_2 / N_b + I_b / 2 \times F_4 / N_b + I_b / 4 \times (N_b - F_2 - F_4) / N_b \quad \dots (1)$$

ここで、 $I_b$  はリフレッシュ周期を64msにした場合の基本的なリフレッシュ電流、 $F_n$  は  $n \times 64ms$  のリテンションテストで不合格になるブロックの数、 $N_b$  はブロックの総数である。

10 仮に128msのリテンションテストで12ブロックが不合格になり、256msのリテンションテストで26ブロックが不合格になったとすると、この場合のリフレッシュ電流  $I_r$  は次の式 (2) で得られる。

$$\begin{aligned} I_r &= I_b \times 12 / 128 + I_b / 2 \times 26 / 128 + I_b / 4 \times (128 - 12 - 26) / 128 \\ 15 \quad &= I_b \times (12 / 128 + 1 / 2 \times 26 / 128 + 1 / 4 \times (128 - 12 - 26) / 128) = 0.371 I_b \quad \dots (2) \end{aligned}$$

この場合のリフレッシュ電流  $I_r$  は、リフレッシュ周期を一律に64msとした場合の3分の1近くになる。

[第2の実施の形態]

20 図6を参照して、本発明の第2の実施の形態によるDRAMは、2個のメモリセルアレイMAを備える。各メモリセルアレイMAは、行及び列に配置された32M個のメモリセル (図示せず) と、行に配置された16K個のワード線WLと、列に配置された2K個のビット線対BLとを備える。各メモリセルアレイMAは32Mビットのメモリ容量を有する。DRAM全体は64Mビットのメモリ容量を有する。各メモリセルアレイMAは64個のサブアレイSUBに分割される。各サブアレイS

25

UBは512Kビットのメモリ容量を有する。

図7を参照して、各サブアレイSUBは、512K個のメモリセル（図示せず）と、256個のワード線WLと、2K個のビット線対BLとを備える。2K個のビット線対BLにはそれぞれ2K個のセンスアンプSAが接続される。

図6に示した上下2個のメモリセルアレイMAの間には、図7に示すようにロウ系の周辺回路が配置される。ロウ系の周辺回路は、リフレッシュサイクル制御回路RCCCと、2個のロウデコーダRDと、2個の仮想ワード線デコーダ及びワード線ドライバ（以下、単に「ワード線ドライバ」という）VWDWLDと、制御回路CCとを備える。

リフレッシュサイクル制御回路RCCCは上下のサブアレイSUBの中央に設けられる。詳細は後述する。ロウデコーダRDはリフレッシュサイクル制御回路RCCCの両側に設けられる。上側のロウデコーダRDは上側のサブアレイSUB内にあるワード線WLをプリデコード信号に応答して選択する。下側のロウデコーダRDは下側のサブアレイSUBにあるワード線WLをプリデコード信号に応答して選択する。プリデコード信号はプリデコーダから与えられる。

このプリデコーダは本実施の形態では特に図示されていないが、基本的に図2に示した第1の実施の形態のプリデコーダPDEC1及びPDEC2と同じである。すなわち、プリデコーダはロウアドレス信号をデコードしてプリデコード信号を発生する。ロウアドレス信号としては、通常アクセス時に外部から入力された外部ロウアドレス信号が用いられ、リフレッシュ時には内部的に生成された内部ロウアドレス信号が用いられる。

ワード線ドライバVWDWLDはロウデコーダRDのさらに外側に設けられる。上側のワード線ドライバVWDWLDは上側のロウデコーダ

RDにより選択されたワード線WLを駆動する。下側のワード線ドライバVWDWL Dは下側のロウデコーダRDにより選択されたワード線WLを駆動する。1回の動作で、2個のサブアレイSUBが同時に活性化され、4 K個のメモリセルが一斉にリフレッシュされる。

5      リフレッシュサイクル制御回路RCCC、ロウデコーダRD及びワード線ドライバVWDWL Dの詳細を図8に示す。本実施の形態の特徴はリフレッシュサイクル制御回路RCCCを設けた点であり、それ以外の構成は従来と同じある。

図8を参照して、ロウデコーダRDは、プリデコード信号ZL0に  
10 答してサブアレイSUB、つまり256個のワード線WLを選択する。  
ロウデコーダRDはさらに、8ビットのプリデコード信号ZL1～ZL  
8に応答して、選択された256個のワード線WLの中から32個のワ  
ード線WLを選択する。サブアレイSUBは8個のブロックBK1～B  
K8に分割される。ブロックBK1～BK8の各々はこれら32個のワ  
ード線WLを含む。各メモリセルアレイMA全体は512 (=64×8)  
15 個のブロックに分割される。

ロウデコーダRDはさらに、4ビットのプリデコード信号ZL9～ZL12に応答して、選択された32個のワード線WLの中から8個のワード線WLを選択する。これを実現するために、ロウデコーダRDは、ANDツリーを構成する8個のAND回路AND21～AND28を備える。たとえばAND回路AND28は、プリデコード信号ZL0、ZL8及びZL12の全てがHレベルのとき、対応する8個のワード線WLを選択する。

ワード線ドライバVWDWL Dは、ロウアドレス信号の3ビットに応  
答して各ワード線WLに供給される電源をオン又オフにし、これにより  
ロウデコーダRDにより選択された8個のワード線WLの中から1個の

ワード線WLを駆動する。

リフレッシュサイクル制御回路RCCCは、256個のサブアレイ用に64ms又は128msのリフレッシュ周期を設定し、512個のブロック用に64ms又は256msのリフレッシュ周期を設定する。リ  
5   フレッシュサイクル制御回路RCCCは、プリデコーダ（図示せず）から9ビットのプリデコード信号ZLI0～ZLI8を受け、9ビットのプリデコード信号ZL0～ZL8をロウデコーダRDに与える。以下、リフレッシュサイクル制御回路RCCCに入力されるプリデコード信号をここから出力されるプリデコード信号ZL0～ZL8と区別するために特に「入力プリデコード信号」という。  
10

リフレッシュサイクル制御回路RCCCは、9ビットのプリデコード信号ZL0～ZL8に対応して設けられた9個のブロックリフレッシュサイクル制御回路BRCCC0～BRCCC8を備える。各ブロックリフレッシュサイクル制御回路BRCCCi（i=0～8）は、入力プリ  
15   デコード信号ZLIiを予め設定された分周比（1、1/2又は1/4）で分周し、その分周したプリデコード信号ZLiを出力する。各ブロックリフレッシュサイクル制御回路BRCCCiは、ヒューズ回路FCiと、分周器FDiとを備える。したがって、リフレッシュサイクル制御回路RCCC全体は、9個のヒューズ回路FC0～FC8と、それらに対応して設けられた9個の分周器FD0～FD8とを備える。  
20

各ヒューズ回路FCiは、1個のプルアップ抵抗（図示せず）と、1個のヒューズ（図示せず）とを備える。すなわち、各ヒューズ回路FCiは、図4に示したヒューズ回路FCのうち1系統だけを備える。各ヒューズ回路FCiは、内部のヒューズが切断されていないときLレベル  
25   のヒューズ信号FIiを出力し、内部のヒューズが切断されたときHレベルのヒューズ信号FIiを出力する。ヒューズ回路FC0は、1又は

1 / 2 の分周比を設定する。ヒューズ回路 F C 1 ~ F C 8 は、1 又は 1 / 4 の分周比を設定する。

5 各分周器 F D i は、転送ゲート T i と、ラッチ回路 L C i と、カウンタ C T R i と、AND（論理積）ゲート A N D i とを備える。これらの構成及び機能は、カウンタ C T R i を除き、図 3 に示した分周器 F D と同じである。分周器 F D 0 は、ヒューズ回路 F C に設定された分周比で入力プリデコード信号 Z L I 0 を分周する。分周器 F D 1 ~ F D 8 は、それぞれヒューズ回路 F C 1 ~ F C 8 に設定された分周比で入力プリデコード信号 Z L I 1 ~ Z L I 8 を分周する。

10 カウンタ C T R 0 は、リフレッシュイネーブル信号 R E が H レベルに活性化されかつヒューズ信号 F I 0 が H レベルになったとき活性化され、リフレッシュイネーブル信号 R E 又はヒューズ信号 F I 0 が L レベルになったとき非活性化される。活性化されたカウンタ C T R 0 は 1 ビットカウンタとして機能し、カウンタ入力信号 C i n の立ち下がりエッジに  
15 応答してカウントアップされ、1 ビットのカウンタ出力信号 C o u t 0 0 を出力する。入力プリデコード信号 Z L I 0 の立ち上がりエッジごとに、カウンタ出力信号 C o u t 0 0 は「0」（L レベル）→「1」（H レベル）と繰り返し変化する。したがってこの場合、AND ゲート A N D 0 は入力プリデコード信号 Z L I 0 を分周比 1 / 2 で分周する。一方、非活性化されたカウンタ C T R 0 はカウンタ出力信号 C o u t 0 0 を H  
20 レベルに固定する。したがってこの場合、AND ゲート A N D 0 は入力プリデコード信号 Z L I 0 をそのままプリデコード信号 Z L 0 として出力する。換言すれば、AND ゲート A N D 0 は入力プリデコード信号 Z L I 0 を分周比 1 で分周する。

25 カウンタ C R T i （i = 1 ~ 8）は、リフレッシュイネーブル信号 R E が H レベルに活性化されかつヒューズ信号 F I i が H レベルになった

とき活性化され、リフレッシュイネーブル信号RE又はヒューズ信号FI<sub>i</sub>がLレベルになったとき非活性化される。活性化されたカウンタCTR<sub>i</sub>は2ビットカウンタとして機能し、カウンタ入力信号C<sub>in</sub>の立ち下がりエッジに応答してカウントアップされ、2ビットのカウンタ出力信号C<sub>out1i</sub>, C<sub>out0i</sub>を出力する。カウンタ出力信号C<sub>out1i</sub>がMSBで、カウンタ出力信号C<sub>out0i</sub>がLSBである。入力プリデコード信号ZLI<sub>i</sub>の立ち上がりエッジごとに、カウンタ出力信号C<sub>out1i</sub>, C<sub>out0i</sub>は「00」→「01」→「10」→「11」と繰り返し変化する。したがってこの場合、ANDゲートAND0は入力プリデコード信号ZLI<sub>i</sub>を分周比1/4で分周する。一方、非活性化されたカウンタCTR<sub>i</sub>はカウンタ出力信号C<sub>out1i</sub>及びC<sub>out0i</sub>とともにHレベルに固定する。したがってこの場合、ANDゲートAND<sub>i</sub>は入力プリデコード信号ZLI<sub>i</sub>をそのままプリデコード信号ZL<sub>i</sub>として出力する。換言すれば、ANDゲートAND<sub>i</sub>は入力プリデコード信号ZLI<sub>i</sub>を分周比1で分周する。

なお、ヒューズ回路FC0～FC8はロウデコーダRDを形成するANDツリーの上に配置される。分周器FD0～FD8は図7中の制御回路CC内に配置される。このような配置を採用すれば、リフレッシュサイクル制御回路RCCCの追加によるチップ面積の増大を抑えることができる。

次に、このDRAMの動作を説明する。

64個のサブアレイSUBのうち128msのリテンションテストを合格したサブアレイSUBについては、そのサブアレイSUBに対応するヒューズ回路FC0のヒューズを切断する。さらに512個のブロックのうち256msのリテンションテストも合格したブロックBK<sub>j</sub> (j=1～8)については、そのブロックBK<sub>j</sub>に対応するヒューズ回路

FC<sub>j</sub>のヒューズも切断する。残りのブロックBK<sub>k</sub> (k=1~8) については、そのブロックBK<sub>k</sub>に対応するヒューズ回路FC<sub>k</sub>のヒューズを切断しない。

(1) 通常アクセス時

5 通常アクセス時には、リフレッシュイネーブル信号REがLレベルになり、全カウンタCTR<sub>0</sub>~CTR<sub>8</sub>が非活性化される。カウンタCTR<sub>0</sub>はカウンタ出力信号Cout<sub>00</sub>をHレベルに固定する。カウンタCTR<sub>1</sub>~CTR<sub>8</sub>はカウンタ出力信号Cout<sub>11</sub>, Cout<sub>01</sub>~Cout<sub>18</sub>, Cout<sub>08</sub>をそれぞれHレベルに固定する。したがって、リフレッシュサイクル制御回路RCCCは入力プリデコード信号ZLI<sub>0</sub>~ZLI<sub>8</sub>をそのままプリデコード信号ZL<sub>0</sub>~ZL<sub>8</sub>としてロウデコーダRDに与える。よって、このDRAMは、リフレッシュサイクル制御回路RCCCを持たない従来のDRAMと同様に動作する。

(2) リフレッシュ時

15 以下、バーストリフレッシュを例に挙げ、その動作を図9及び図10を参照して説明する。

バーストリフレッシュは256個のワード線WLを順次選択し、サブアレイSUB内の全メモリセルをリフレッシュする。このバーストリフレッシュ時には、図9及び図10に示すように、リフレッシュイネーブル信号REは64msの周期で、256個のワード線WLを選択する間ずっとHレベルになる。

(2. 1) 全ヒューズ回路が切断されていない場合 (図9)

25 ヒューズ回路FC<sub>0</sub>~FC<sub>8</sub>の全ヒューズが切断されていない場合、図9に示すように、全ブロックリフレッシュサイクル制御回路BRCCC<sub>0</sub>~BRCCC<sub>8</sub>は入力プリデコード信号ZLI<sub>0</sub>~ZLI<sub>8</sub>をそのままプリデコード信号ZL<sub>0</sub>~ZL<sub>8</sub>としてロウデコーダRDに与える。



したがって、リフレッシュイネーブル信号REがHレベルの間に、プリデコード信号ZL0はずっとHレベルになり、プリデコード信号ZL1～ZL8は順次Hレベルになる。各プリデコード信号ZLi ( $i=1\sim 8$ ) がHレベルの間、対応するブロックBK $i$ が選択され、そのブロックBK $i$ 内の32個のワード線WLが順次選択され、これによりそのブロックBK $i$ 内の全メモリセルがリフレッシュされる。プリデコード信号ZL1～ZL8はいずれも64msの周期でHレベルになるので、サブアレイSUB内の全メモリセルは通常通り64msの周期でリフレッシュされる。

10 (2. 2) ヒューズ回路FC0及びFC3が切断された場合 (図10)

リテンションテストの結果、サブアレイSUB内の全メモリセルのデータ保持時間が128ms以上の場合、ヒューズ回路FC0のヒューズを切断する。さらに、たとえばブロックBK3内の全メモリセルのデータ保持時間が256ms以上の場合、ヒューズ回路FC3のヒューズを切断する。

この場合、図10に示すように、ブロックリフレッシュサイクル制御回路BRCCC1, BRCCC2, BRCCC4～BRCCC8は入力プリデコード信号ZLI1, ZLI2, ZLI4～ZLI8をそのままプリデコード信号ZL1, ZL2, ZL4～ZL8としてロウデコーダRDに与えるが、ブロックリフレッシュサイクル制御回路BRCCC0は入力プリデコード信号ZLI0を分周比1/2で分周し、ブロックリフレッシュサイクル制御回路BRCCC3は入力プリデコード信号ZLI3を分周比1/4で分周する。したがって、プリデコード信号ZL1, ZL2, ZL4～ZL8の周期は64msのままであるが、プリデコード信号ZL0の周期は128msになり、プリデコード信号ZLI3の

周期は256msになる。

プリデコード信号ZL0の周期が128msになるので、サブアレイSUBは128msの周期でしか選択されない。したがって、プリデコード信号ZL0がLレベルの間にプリデコード信号ZL1, ZL2, ZL4~ZL8がHレベルになっても、ブロックBK1, BK2, BK4~BK8は選択されない。その結果、ブロックBK1, BK2, BK4~BK8はプリデコード信号ZL0の周期128msでリフレッシュされ、ブロックBK3はプリデコード信号ZL3の周期256msでリフレッシュされる。

10 本実施の形態では8個の3入力ANDゲートAND1~AND8を用いているが、これに代えて8個の4入力ANDゲートを用い、ANDゲートAND0から出力されるプリデコード信号ZL0をロウデコーダRDに代えてこれら8個の4入力ANDゲートに共通に与えるようにしてもよい。この場合の動作は上記と同じである。

15 以上のように第2の実施の形態によれば、最短データ保持時間が128ms以上のサブアレイSUBについてはヒューズ回路FC0を切断することによりこのサブアレイSUBのリフレッシュ周期を通常の2倍の128msに設定することができる。さらにこのサブアレイSUBのうち最短データ保持時間が256ms以上のブロックについては対応する  
20 ヒューズ回路を切断することによりそのブロックのリフレッシュ周期を通常の4倍の256msに設定することができる。したがって、リフレッシュ周期を通常よりも長く設定したサブアレイやブロックにおいてはリフレッシュに必要な消費電力を低減することができる。

また、従来の方式では8個のブロックBK1~BK8のうち1個でも  
25 最短データ保持時間が128~256msであれば、たとえ他のブロックの最短データ保持時間が256ms以上であっても、サブアレイSU

B全体のリフレッシュ周期を128msに設定しなければならない。しかし本実施の形態では、サブアレイ、ブロックの順にリフレッシュ周期を階層的に設定することができるので、最短データ保持時間が128～256msのブロックのリフレッシュ周期のみを128msに設定し、  
 5 その他のブロックのリフレッシュ周期を256msに設定することができる。その結果、その他のブロックにおけるリフレッシュに必要な消費電力を従来よりも低減することができる。しかも、従来のDRAMにリフレッシュサイクル制御回路RCCCを追加するだけで上記のような効果を得ることができる。

10 本実施の形態によれば、リフレッシュ電流 $I_r$ は一般に次の式(3)で与えられる。

$$I_r = I_b \times F_2 / N_{b1} + I_b / 2 \times F_4 / N_{b2} + I_b / 4 \times (N_{b2} - F_4 - F_2 \times N_{b2} / N_{b2}) / N_{b2} \quad \dots (3)$$

ここで、 $I_b$ 及び $F_n$ は上記式(1)と同じである。 $N_{bn}$ は $n \times 64$ msのリフレッシュ周期でリテンションテストを行うときに適用する  
 15 ブロックの総数である。

仮に128msのリテンションテストで64ブロックのうち10ブロックが不合格になり、256msのリテンションテストで512ブロックのうち100ブロックが不合格になったとすると、この場合のリフレッシュ電流 $I_r$ は次の式(4)で得られる。  
 20

$$\begin{aligned} I_r &= I_b \times 10 / 64 + I_b / 2 \times 100 / 512 + I_b / 4 \times (512 - 100 - 10 \times 512 / 64) / 512 \\ &= I_b \times (10 / 64 + 1 / 2 \times 100 / 512 + 1 / 4 \times 332 / 512) = 0.416 I_b \quad \dots (4) \end{aligned}$$

25 この場合のリフレッシュ電流は、リフレッシュ周期を一律に64msとした場合の半分以下になる。

ただし、これは128msのリテンションテストで不合格になる10  
 ブロックと、256msのリテンションテストで不合格になる100ブ  
 ロックとが全く重複しない最悪の場合である。仮に256msのリテン  
 ションテストで不合格になる100ブロックのうち80ブロックが12  
 8msのリテンションテストで不合格になる10ブロックに既に含まれ  
 ていたとすると、256msのリテンションテストで不合格になるのは  
 実質20ブロックしかない。よって、この場合のリフレッシュ電流 $I_r$   
 は次の式(5)で得られる。

$$I_r = I_b \times (10/64 + 1/2 \times 20/512 + 1/4 \times 412/512) = 0.376 I_b \quad \dots (5)$$

この場合のリフレッシュ電流 $I_r$ は、リフレッシュ周期を一律に64  
 msとした場合の3分の1近くなる。

#### [第3の実施の形態]

本第3の実施の形態は、上記第2の実施の形態と同じ機能を実現する  
 ものであるが、回路構成が異なる。

本実施の形態では図11に示すように、ヒューズ回路FC0はあるが、  
 分周器FD0はない。したがって、入力プリデコード信号ZLI0は常  
 にそのままプリデコード信号ZL0としてロウデコーダRDに与えられ  
 る。ヒューズ回路FC0から出力されたヒューズ信号FIOは8個のカ  
 ウンタCTR1~CTR8全てに与えられる。ヒューズ回路FC0が切  
 断され、ヒューズ信号FIOがHレベルになると、カウンタCTR1~  
 CTR8はLSBのカウンタ出力信号Cout01~Cout08をイ  
 ネーブルする。ヒューズ回路FC1~FC8が切断され、ヒューズ信号  
 FI1~FI8がHレベルになると、カウンタCTR1~CTR8はM  
 SBのカウンタ出力信号Cout11~Cout18をイネーブルする。

リテンションテストの結果、全ブロックBK1～BK8の最短データ保持時間が128ms以上の場合、ヒューズ回路FC0を切断する。さらに、たとえばブロックBK8の最短データ保持時間が256ms以上の場合、ヒューズ回路FC8も切断する。この場合、Hレベルのヒューズ信号FIOに応答して全カウンタCTR1～CTR8のカウンタ出力信号Cout01～Cout08がイネーブルされ、Hレベルのヒューズ信号FI8に  
5 応答してカウンタCTR8のカウンタ出力信号Cout18がイネーブルされる。したがって、カウンタCTR8のみが2ビットカウンタとして機能し、他のカウンタCTR1～CTR7は1ビット  
10 カウンタとして機能する。よって、分周器FD8のみが入力プリデコード信号ZLI8を分周比1/4で分周し、他の分周器FD1～FD7は入力プリデコード信号ZLI1～ZLI7を分周比1/2で分周する。

以上の結果、図12に示すように、プリデコード信号ZL1～ZL7は128msの周期でHレベルになり、プリデコード信号ZL8は256msの周期でHレベルになる。そのため、ブロックBK1～BK7は通常  
15 の2倍の周期でリフレッシュされ、ブロックBK8は通常の4倍の周期でリフレッシュされる。

#### [第4の実施の形態]

本第4の実施の形態は、上記第3の実施の形態とブロック構成が異なる。上記実施の形態3では各ブロック内の32個のワード線WLは1箇  
20 所に集中しているのに対し、本実施の形態では8個ごとに4箇所に分散している。

本実施の形態では図13に示すように、ロウデコーダRDは、4個のANDゲートAND41～AND44を含むANDツリーで構成される。ロウデコーダRDは、プリデコード信号ZL0に  
25 応答して256個のワード線WLを選択する。ロウデコーダRDはさらに、選択された256

個のワード線WLの中から32個のワード線WLをプリデコード信号ZL1～ZL8に応答して選択する。ロウデコーダRDはさらに、選択された32個のワード線WLの中から8個のワード線WLをプリデコード信号ZL9～ZL12に応答して選択する。たとえばプリデコード信号ZL8がHレベルになった場合、ANDゲートAND41～AND44の各々は対応する8個のワード線WLを選択する。このとき選択された32個のワード線WLがブロックBK8を構成する。

データ保持時間の短いメモリセルが1箇所集中している場合には上記第3の実施の形態の方が好ましいが、分散している場合には本第4の実施の形態の方が好ましい。

本実施の形態のリフレッシュサイクル制御回路RCCCは上記第3の実施の形態と同じであるが、上記第2の実施の形態と同じにしてもよい。

また上記第2～4の実施の形態では、128msのリフレッシュ周期を64ブロック（サブアレイ）に分けて設定し、256msのリフレッシュ周期を512ブロックに分けて設定しているが、リフレッシュ周期設定の階層数、リフレッシュ周期の種類、ブロック数などは全て例示であって、特に限定されるものではない。たとえばカウンタのビット数を3ビット、4ビットなどと増やせば、リフレッシュ周期の種類も512ms、1024msなどと増やすことができる。

また上記2階層方式では256個のワード線当たり9個のヒューズを設けているが、32個のワード線当たり2個のヒューズ、つまり256個のワード線当たり16個のワード線を設ければ、各2ビットカウンタの出力をイネーブルすることができ、その結果、32個のワード線からなるブロックごとに64ms、128ms及び256msという3種類のリフレッシュ周期を選択することができる。

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

## 請求の範囲

1. ダイナミック型半導体記憶装置であって、  
複数のブロックに分割されたメモリセルアレイと、  
ロウアドレス信号をデコードしてブロック選択信号を発生するブロッ  
クデコーダと、  
5 前記ブロック選択信号に応答して前記ブロックを選択するロウデコー  
ダと、  
前記ブロック選択信号を予め設定された分周比で分周して、前記ロウ  
デコーダによって選択されるブロックにリフレッシュ周期を設定するた  
めのリフレッシュサイクル制御回路と、を含むダイナミック型半導体記  
憶装置。  
10 2. 前記リフレッシュサイクル制御回路は、  
前記分周比を設定するヒューズ回路と、  
前記ヒューズ回路に設定された分周比で前記ブロック選択信号を分周  
する分周器とを含む、請求項1に記載のダイナミック型半導体記憶装置。  
15 3. 前記分周比は、前記選択されるブロック内のメモリセルアレイの  
リテンション時間に応じて設定される、請求項1または請求項2に記載  
のダイナミック型半導体記憶装置。  
20 4. ダイナミック型半導体記憶装置であって、  
複数のメモリセルを含むメモリセルアレイであって、前記メモリセル  
アレイは複数の第1階層ブロックに分割され、前記第1階層ブロックの  
各々はさらに複数の第2階層ブロックに分割される、メモリセルアレイ  
と、  
25 前記第1階層ブロック用に第1のリフレッシュ周期を設定し、前記第  
2階層ブロック用に第2のリフレッシュ周期を設定するリフレッシュ周



期設定手段と、を含むダイナミック型半導体記憶装置。

5. さらに、前記第1階層ブロックを第1のブロック選択信号に応答して選択し、その選択された第1階層ブロック内の前記第2階層ブロックを第2のブロック選択信号に応答して選択するロウデコーダを有し、

5 前記リフレッシュ周期設定手段は、

前記第1のブロック選択信号を予め定められた第1の分周比で分周する第1の分周器と、

前記第2のブロック選択信号を予め定められた第2の分周比で分周する第2の分周器とを含む、請求項4に記載のダイナミック型半導体記憶装置。

10

6. 前記リフレッシュ周期設定手段はさらに、

前記第1の分周比を設定する第1のヒューズ回路と、

前記第2の分周比を設定する第2のヒューズ回路とを含む、請求項5に記載のダイナミック型半導体記憶装置。

15

7. 前記第1及び第2のヒューズ回路は前記ロウデコーダ上に形成されることを特徴とする、請求項6に記載のダイナミック型半導体記憶装置。

8. さらに、前記第1階層ブロックを第1のブロック選択信号に応答して選択し、その選択された第1階層ブロック内の前記第2階層ブロックを第2のブロック選択信号に応答して選択するロウデコーダを有し、

20

前記リフレッシュ周期設定手段は、

前記第2のブロック選択信号を予め定められた第1又は第2の分周比で分周する分周器を含む、請求項4に記載のダイナミック型半導体記憶装置。

25

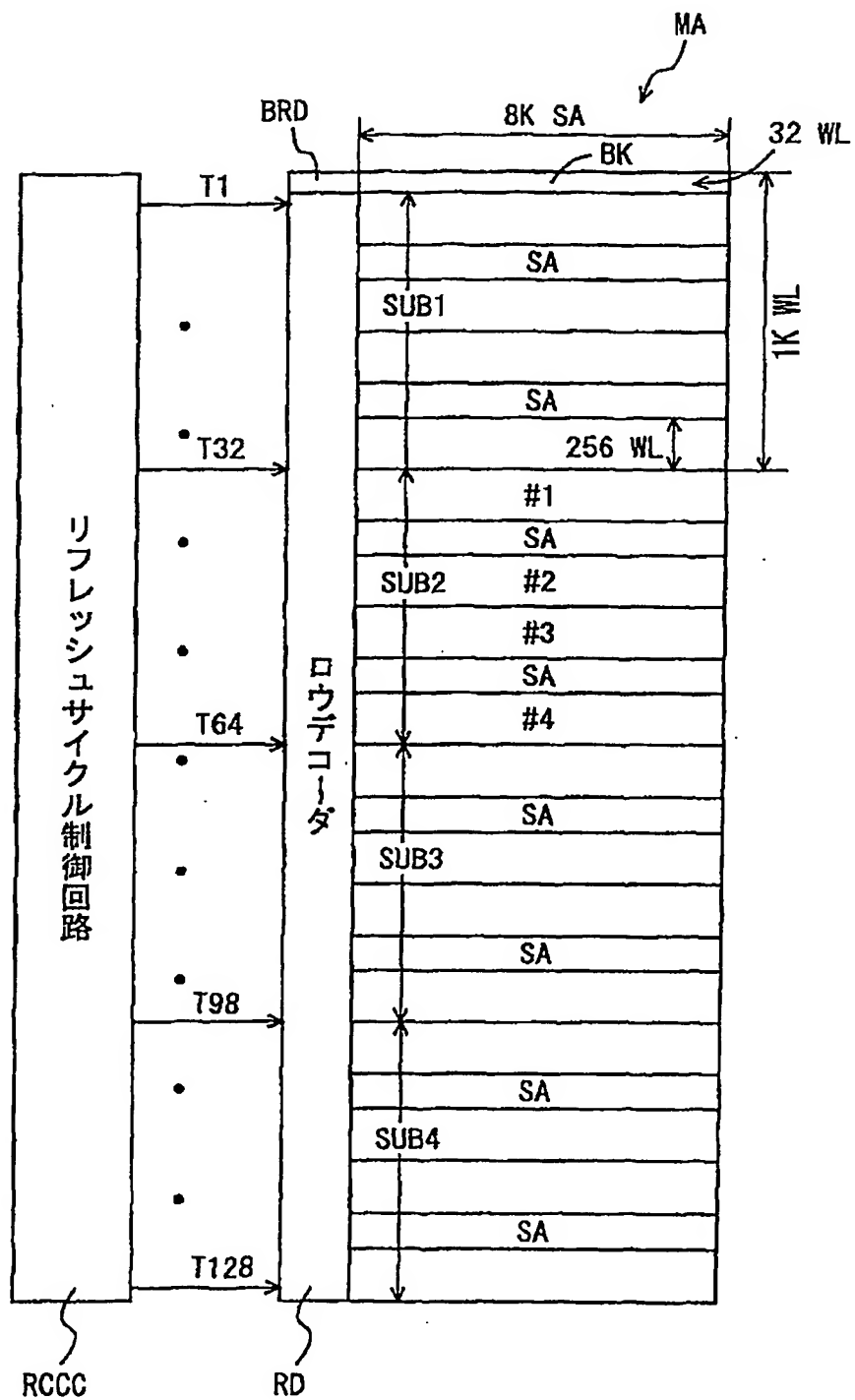
9. 前記リフレッシュ周期設定手段はさらに、

前記第1又は第2の分周比を設定するヒューズ回路を含む、請求項8

に記載のダイナミック型半導体記憶装置。

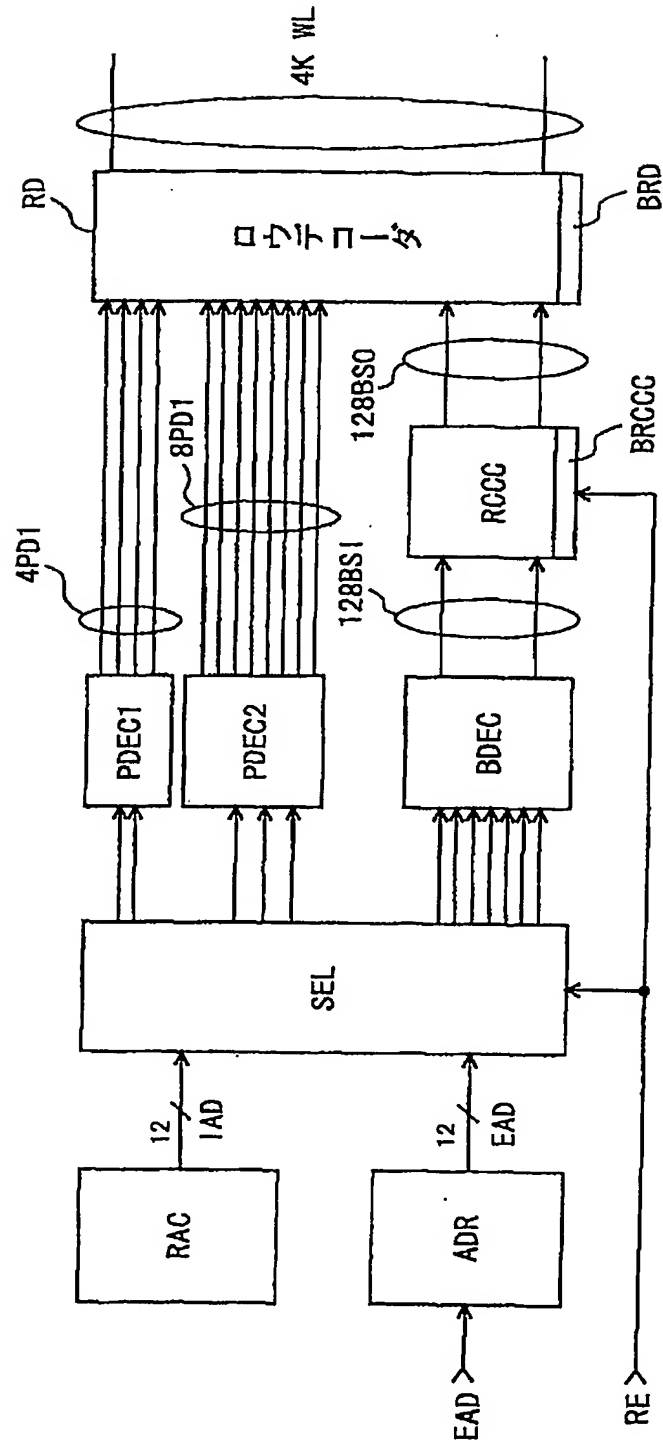
10. 前記第1又は第2の分周比は、前記選択されるブロック内のメモリセルアレイのリテンション時間に応じて設定される、請求項9に記載のダイナミック型半導体記憶装置。

1/13



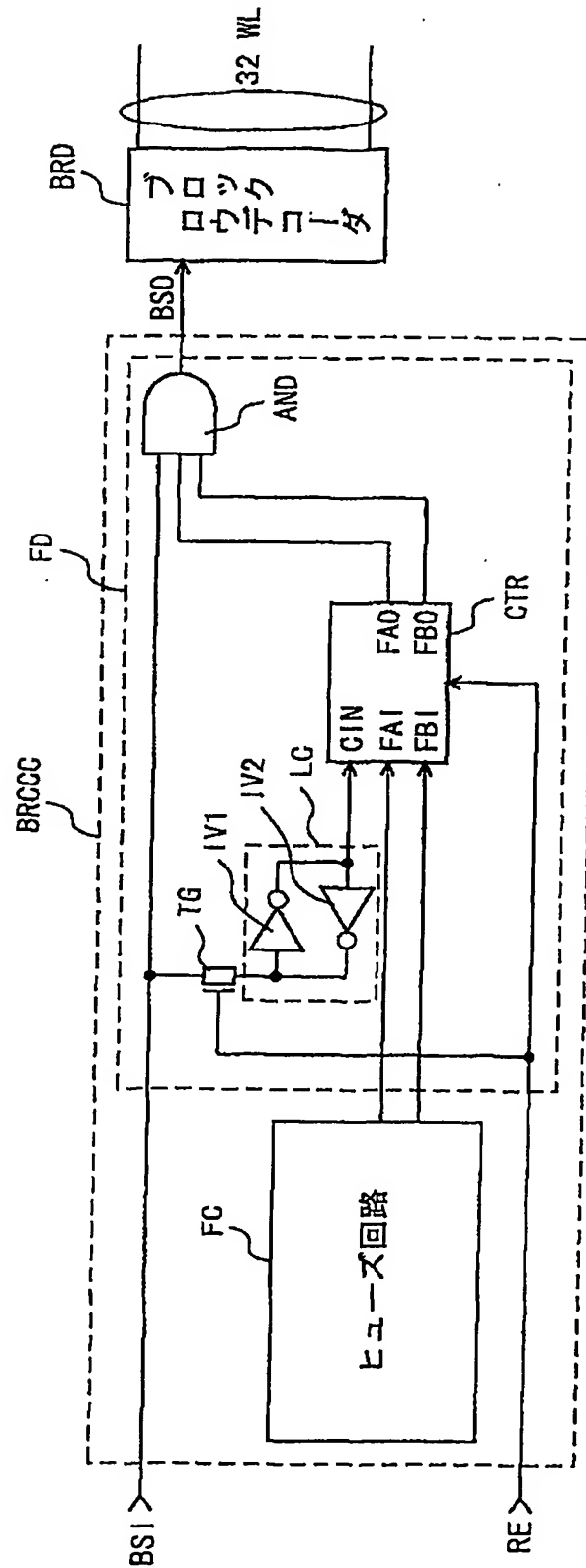
第 1 図

2/13



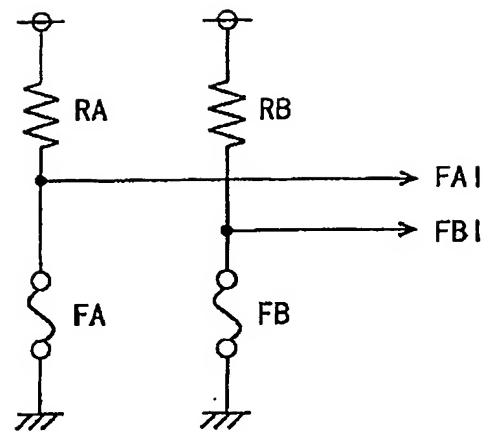
第 2 図

3/13

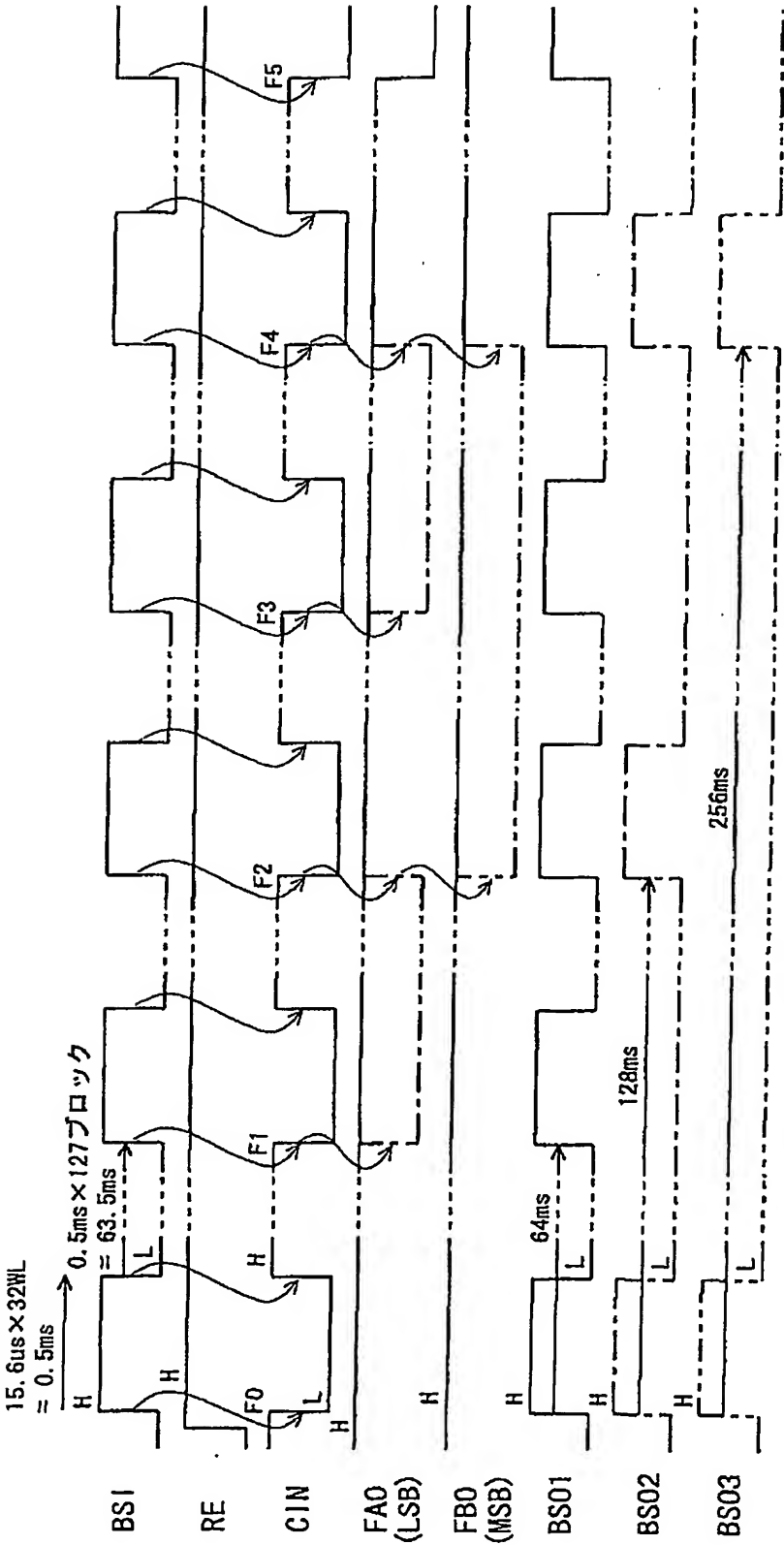


第 3 図

4/13

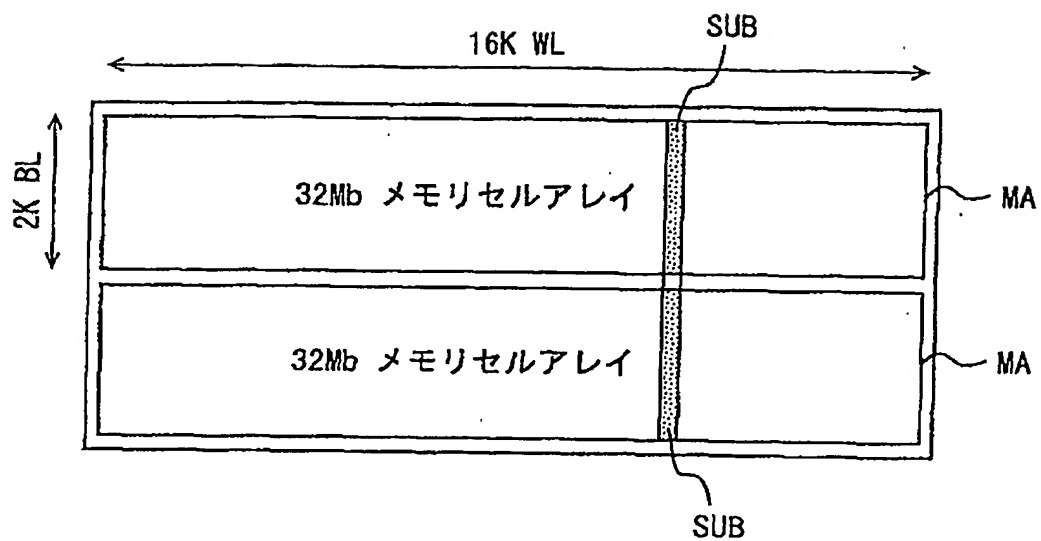
FC

第 4 图



第 5 図

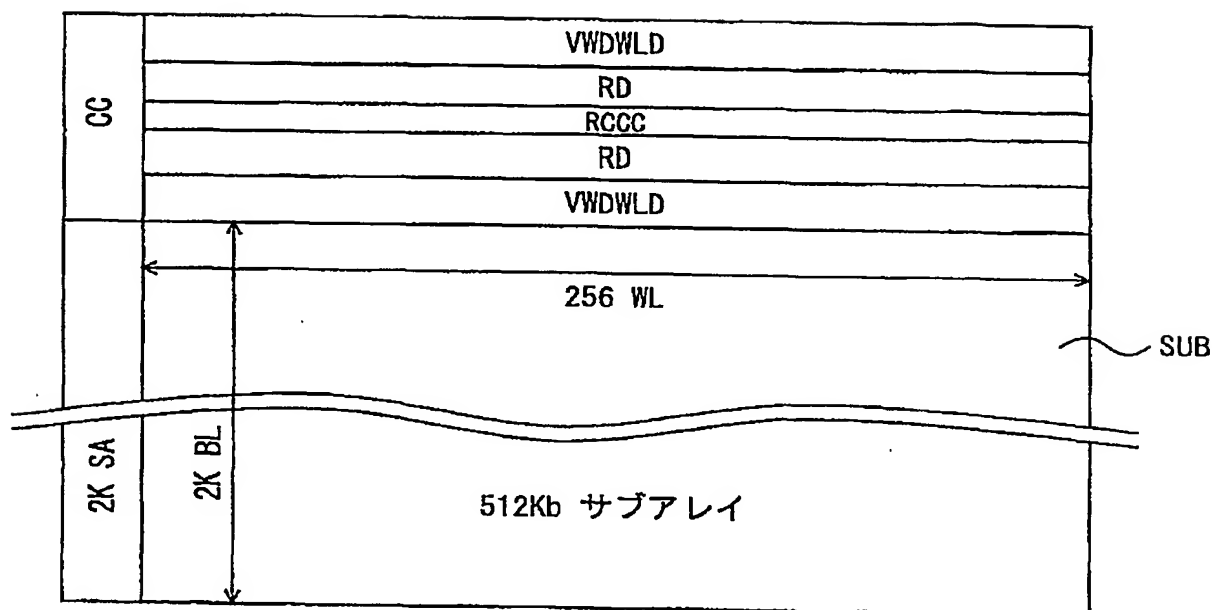
6/13



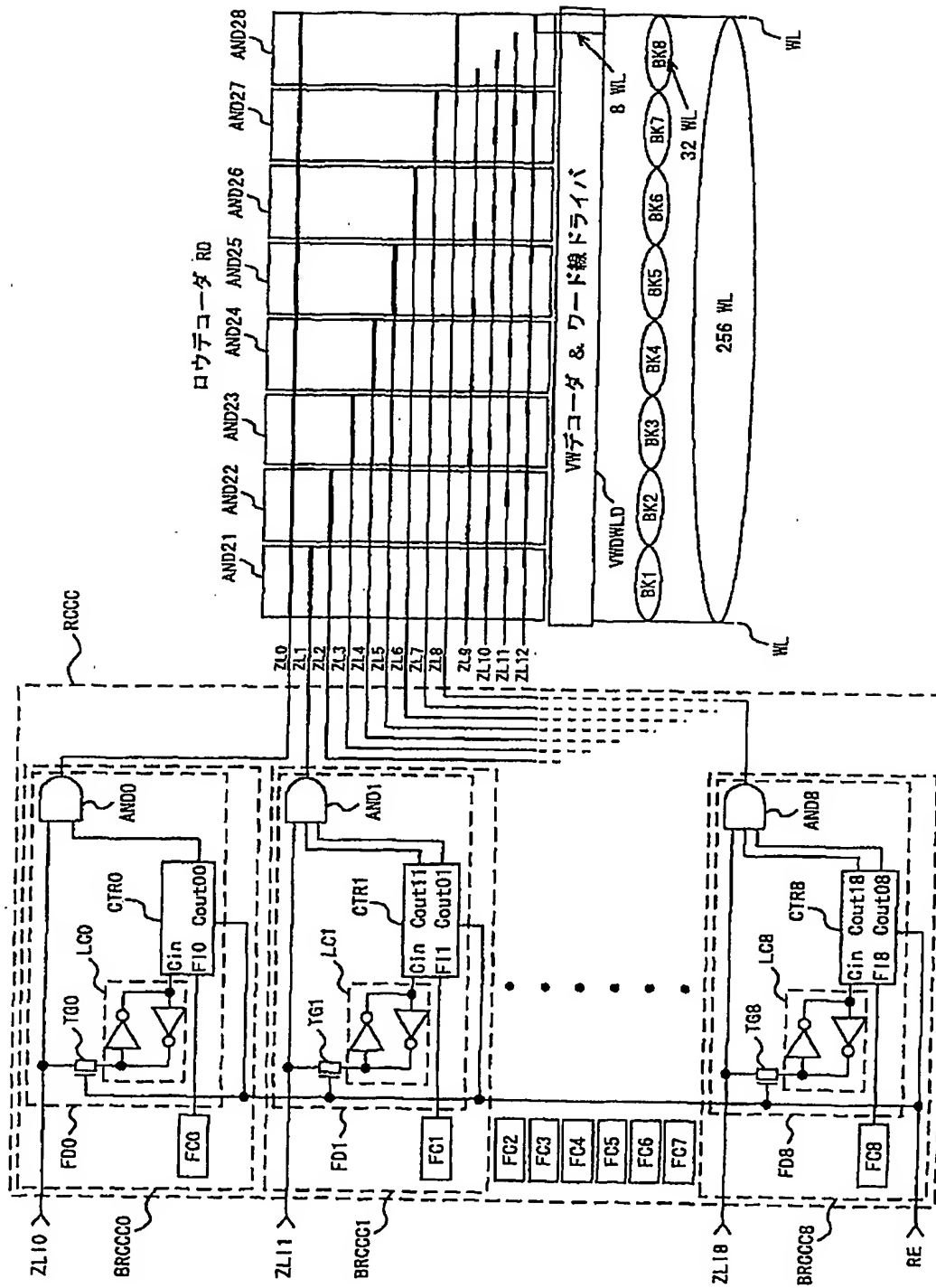
第 6 図






7/13

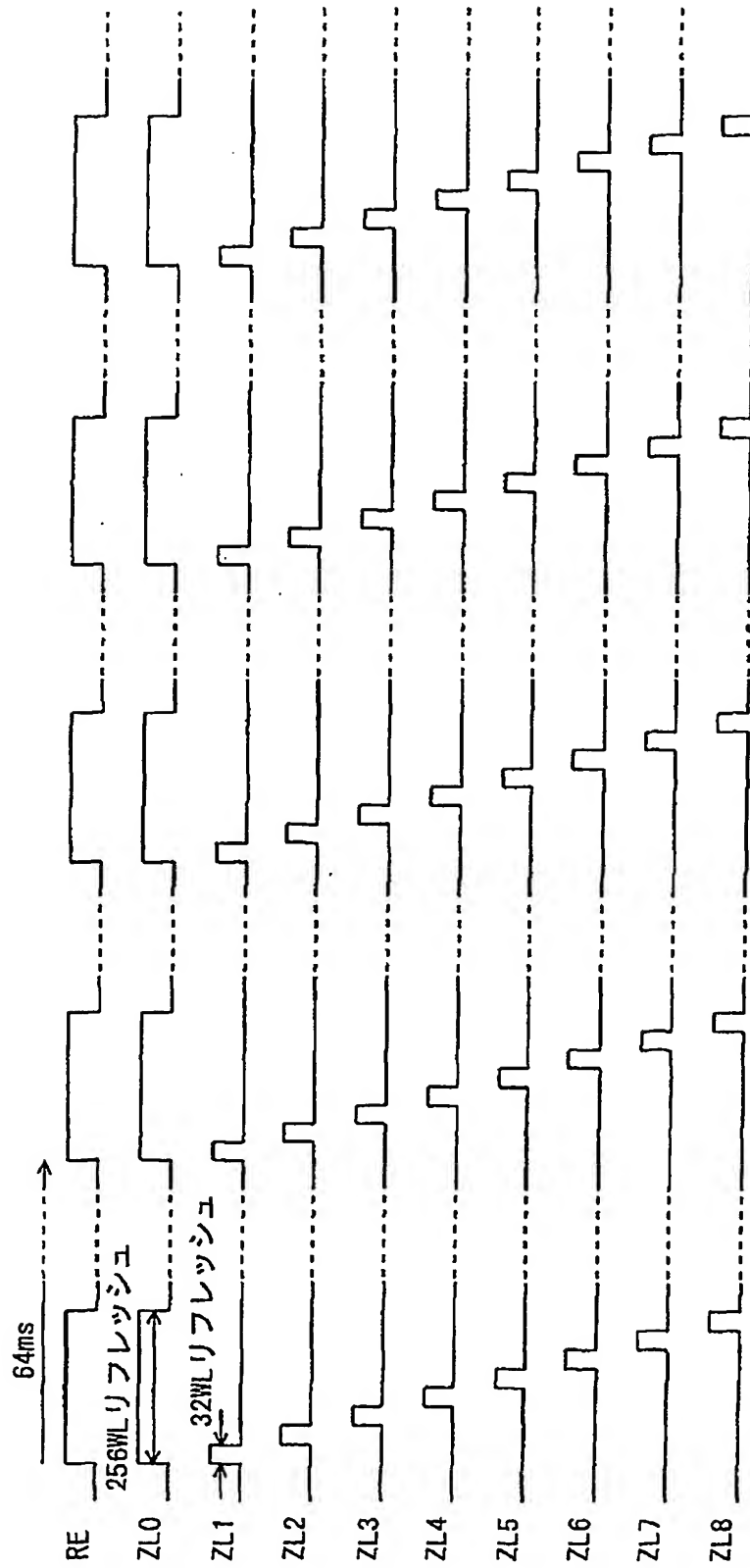


第 7 図



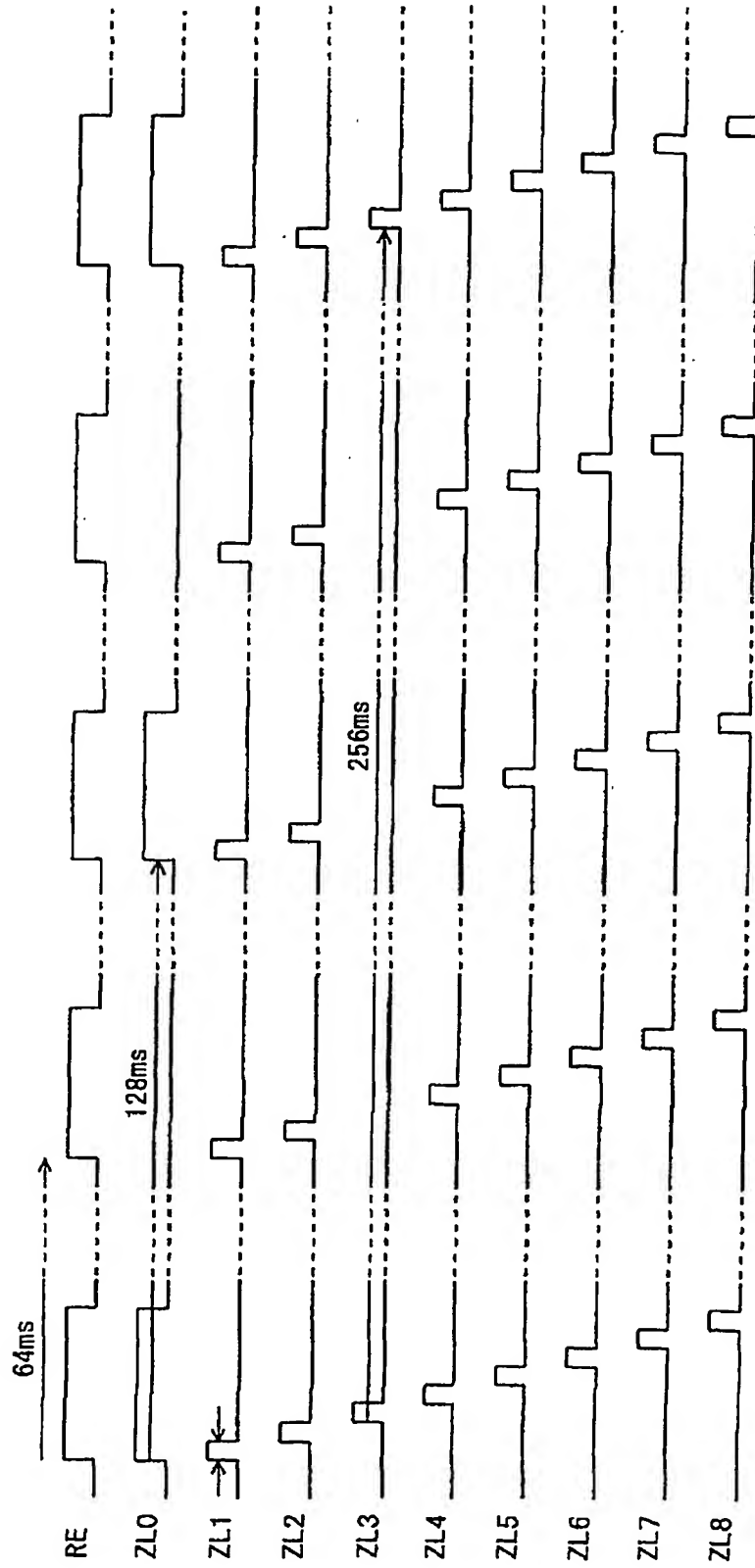
  
  


9/13

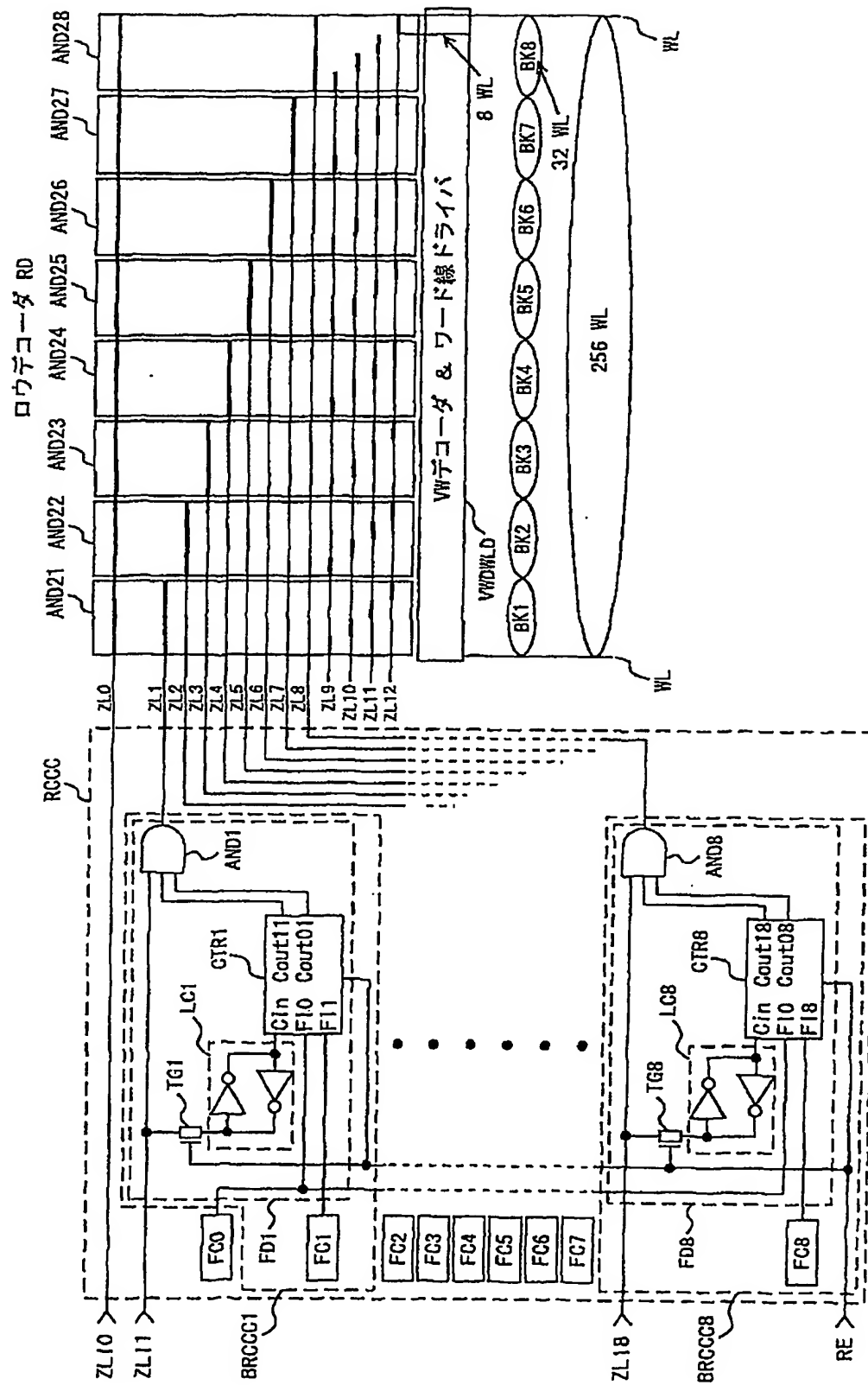


第9図

10/13

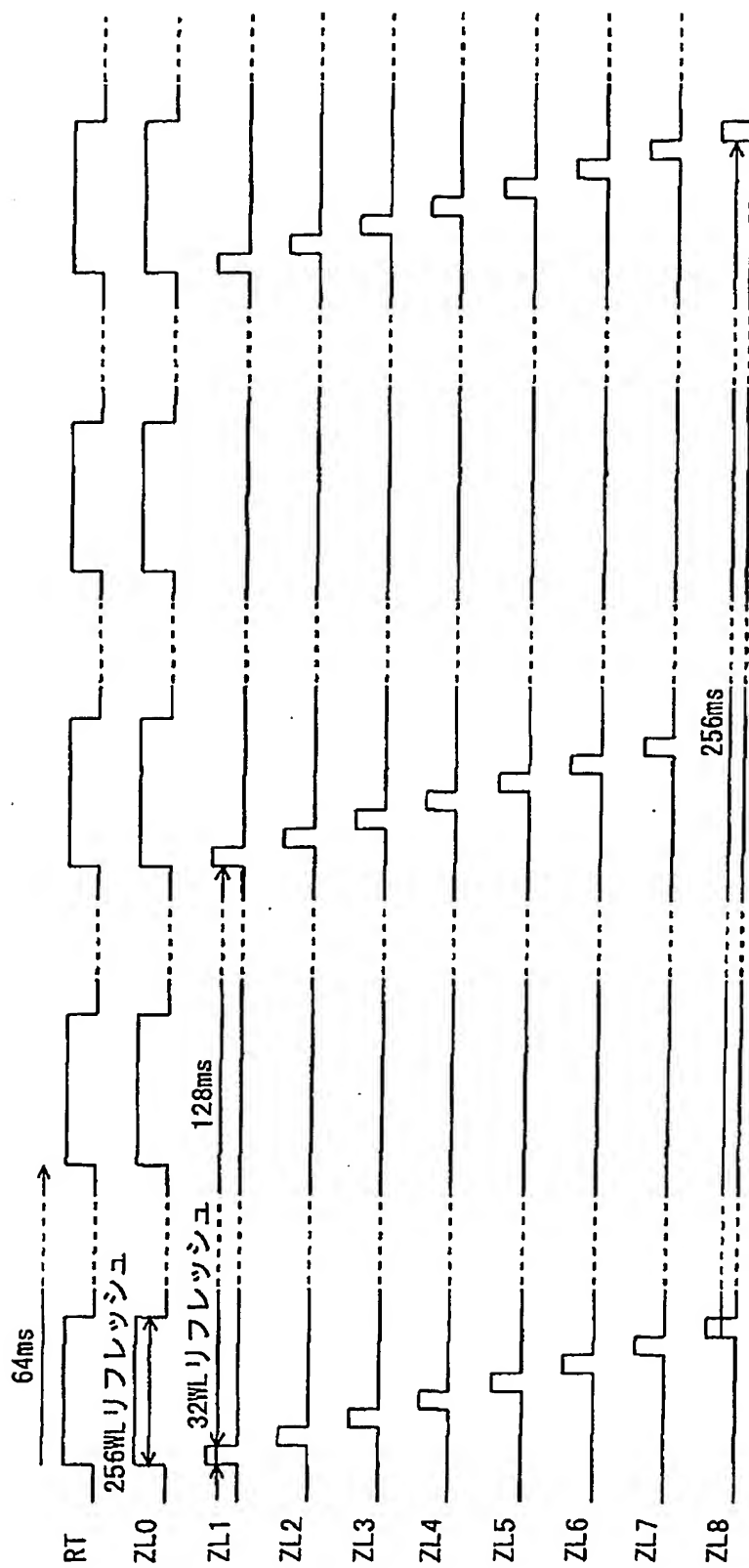


第 10 図

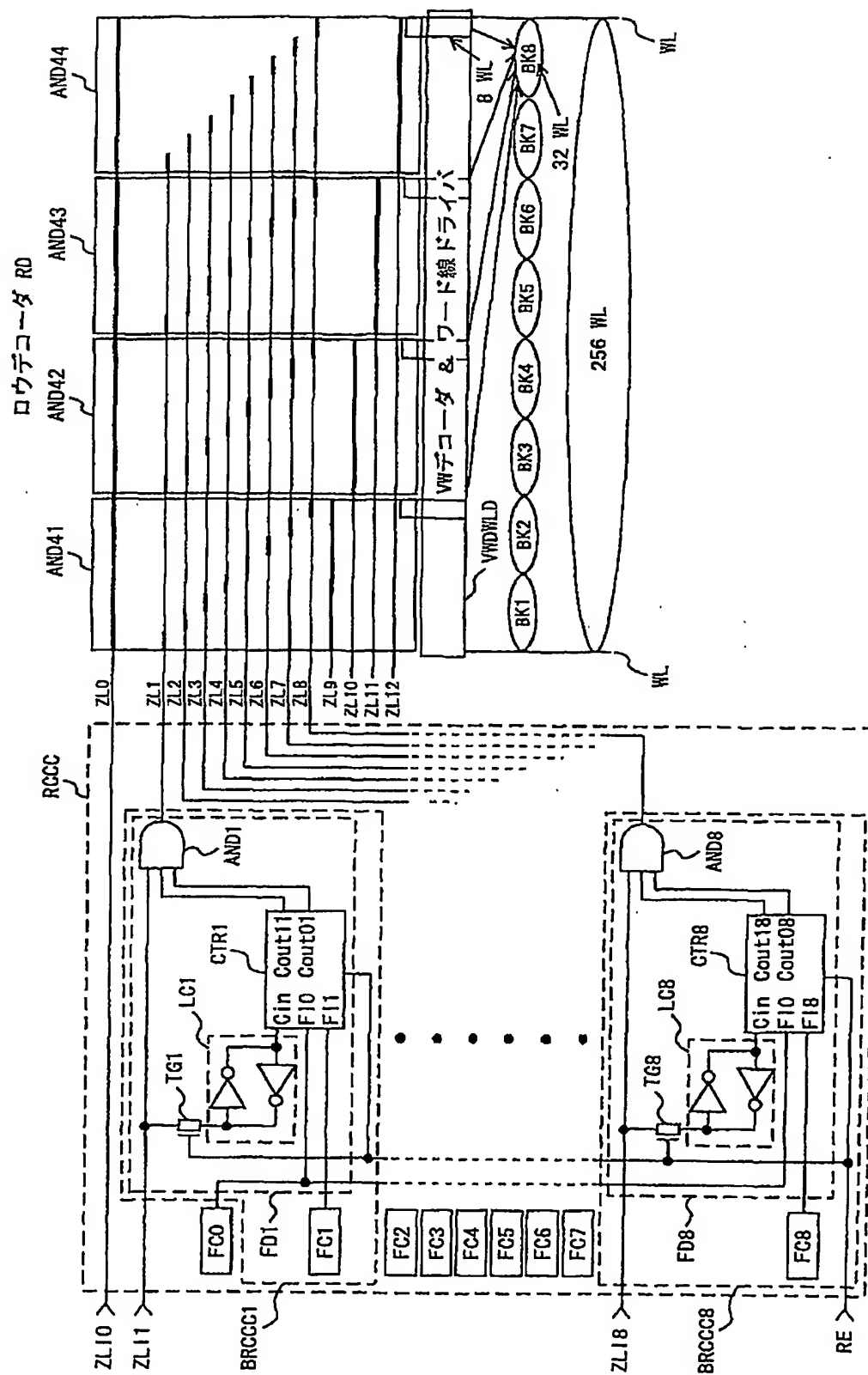


圖一 一 概

12/13



第 1 2 図



第 1 3 図

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005275

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> G11C11/406

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl.<sup>7</sup> G11C11/406

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-306184 A (Hitachi, Ltd.), 22 November, 1996 (22.11.96), Full text; all drawings & US 5629898 A & TW 441103 A & KR 407024 B	1-3
Y	JP 2002-150770 A (NEC Corp.), 24 May, 2002 (24.05.02), Full text; all drawings & WO 2002/019340 A1 & KR 2003028827 A & EP 1335383 A1 & TW 517235 A & CN 1452773 A & US 2004/0041173 A1	1-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
20 July, 2004 (20.07.04)

Date of mailing of the international search report  
03 August, 2004 (03.08.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005275

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-89571 A (NEC Corp.), 29 March, 1994 (29.03.94), Full text; all drawings (Family: none)	2
A	WO 1996/028825 A1 (Hitachi, Ltd.), 19 September, 1996 (19.09.96), Full text; all drawings (Family: none)	1-3
A	JP 2001-43677 A (Hitachi, Ltd.), 16 February, 2001 (16.02.01), Full text; all drawings (Family: none)	1-3
A	JP 9-231748 A (Nittetsu Semiconductor Kabushiki Kaisha), 05 September, 1997 (05.09.97), Full text; all drawings & US 5644545 A & EP 790620 A2 & KR 97062910 A	1-3
A	JP 5-109268 A (Sharp Corp.), 30 April, 1993 (30.04.93), Full text; all drawings (Family: none)	1-3
A	JP 4-34794 A (NEC Corp.), 05 February, 1992 (05.02.92), Full text; all drawings & JP 2959046 B2	1-3
A	JP 3-250489 A (NEC Corp.), 08 November, 1991 (08.11.91), Full text; all drawings (Family: none)	1-3
A	JP 11-96790 A (International Business Machines Corp.), 09 April, 1999 (09.04.99), Full text; all drawings & EP 892349 A2 & CN 1205521 A1 & US 5978931 A & KR 99013406 A & SG 79234 A1 & KR 305934 B & TW 461994 A & EP 892349 B1 & DE 69811571 E	4-10

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005275

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-96799 A (International Business Machines Corp.), 09 April, 1999 (09.04.99), Full text; all drawings & EP 892350 A2 & US 5881003 A & KR 99013942 A & TW 410288 A & KR 305936 B & EP 892350 B1 & DE 69811155 E	4-10
A	JP 2001-60400 A (Toshiba Corp.), 06 March, 2001 (06.03.01), Full text; all drawings (Family: none)	4-10

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

IntCl<sup>1</sup> G11C11/406

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

IntCl<sup>1</sup> G11C11/406

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 8-306184 A (株式会社日立製作所) 1996. 11. 22, 全文, 全図 & US 5629898 A & TW 441103 A & KR 407024 B	1-3
Y	JP 2002-150770 A (日本電気株式会社) 2002. 05. 24, 全文, 全図 & WO 2002/019340 A1 & KR 2003028827 A & EP 1335383 A1 & TW 517235 A & CN 1452773 A	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

20. 07. 2004

国際調査報告の発送日

03. 8. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀田 和義

5N

8840

電話番号 03-3581-1101 内線 3545

## C (続き) 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	& US 2004/0041173 A1	
Y	JP 6-89571 A (日本電気株式会社) 1994. 03. 29, 全文, 全図 (ファミリーなし)	2
A	WO 1996/028825 A1 (株式会社日立製作所) 1996. 09. 19, 全文, 全図 (ファミリーなし)	1-3
A	JP 2001-43677 A (株式会社日立製作所) 2001. 02. 16, 全文, 全図 (ファミリーなし)	1-3
A	JP 9-231748 A (日鉄セミコンダクター株式会社) 1997. 09. 05, 全文, 全図 & US 5644545 A & EP 790620 A2 & KR 97062910 A	1-3
A	JP 5-109268 A (シャープ株式会社) 1993. 04. 30, 全文, 全図 (ファミリーなし)	1-3
A	JP 4-34794 A (日本電気株式会社) 1992. 02. 05, 全文, 全図 & JP 2959046 B2	1-3
A	JP 3-250489 A (日本電気株式会社) 1991. 11. 08, 全文, 全図 (ファミリーなし)	1-3
A	JP 11-96790 A (インターナショナル・ビジネス・マシーンズ ・コーポレーション) 1999. 04. 09, 全文, 全図 & EP 892349 A2 & CN 1205521 A1 & US 5978931 A & KR 99013406 A & SG 79234 A1 & KR 305934 B & TW 461994 A & EP 892349 B1 & DE 69811571 E	4-10
A	JP 11-96799 A (インターナショナル・ビジネス・マシーンズ ・コーポレーション) 1999. 04. 09, 全文, 全図 & EP 892350 A2 & US 5881003 A & KR 99013942 A & TW 410288 A & KR 305936 B & EP 892350 B1 & DE 69811155 E	4-10
A	JP 2001-60400 A (株式会社東芝) 2001. 03. 06, 全文, 全図 (ファミリーなし)	4-10